

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 2 月 12 日 (12.02.2004)

PCT

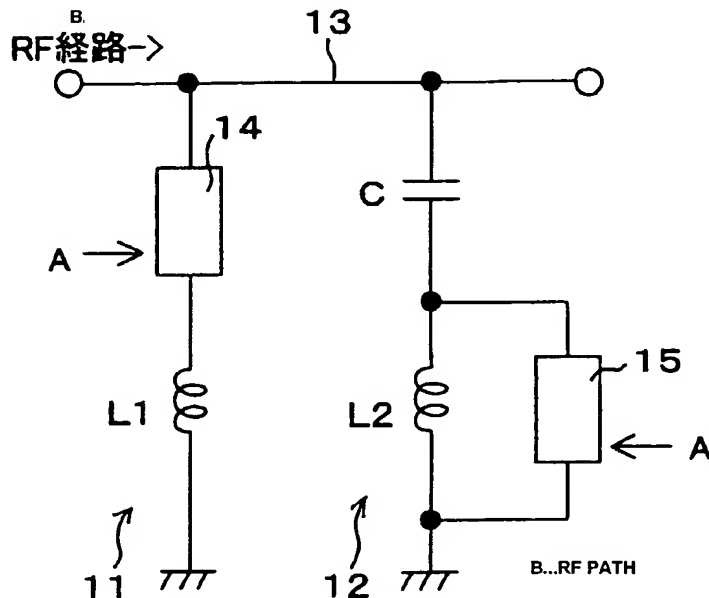
(10) 国際公開番号
WO 2004/013927 A1

- (51) 国際特許分類⁷: H01P 1/15, H03K 17/687 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 古田 武司 (FURUTA, Takeshi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/010008
- (22) 国際出願日: 2003 年 8 月 6 日 (06.08.2003) (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): US.
- (30) 優先権データ:
特願2002-228188 2002 年 8 月 6 日 (06.08.2002) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). 添付公開書類:
— 国際調査報告書

/続葉有/

(54) Title: HIGH FREQUENCY CIRCUIT

(54) 発明の名称: 高周波回路



(57) Abstract: If an RF signal is to be blocked using only the closing and opening of an FET, it would increase the path loss for a high frequency range during ON state, while it could not provide a sufficient isolation for the high frequency range during OFF state. A high frequency circuit has shunt circuits between a high frequency transmission path (13) and the GND. For example, the high frequency circuit has two shunt circuits (11,12) that include active elements (14,15) and impedance elements (L1,L2,C). These shunt circuits (11,12) form a parallel resonant circuit constituted by the impedance elements (L1,C) during ON state of the active elements (14,15) and form a serial resonant circuit constituted by the impedance elements (C,L2) during OFF state of the active elements (14,15).

(57) 要約: FETの開閉のみでRF信号を遮断しようとする、高周波領域においては、ON時の

経路ロスが大きくなり、またOFF時に十分なアイソレーションを確保できなくなる。高周波伝送経路13とGNDとの間にシャント回路を有する高周波回路において、能動素子14、15およびインピーダンス素子(L1、L2、C)を含む例えば2つのシャント回路11、12を有し、これらシャント回路11、12が、各々の能動素子14、15のON時にインピーダンス素子(L1、C)による並列共振回路を、OFF時にインピーダンス素子(C、L2)による直列共振回路をそれぞれ形成するようにする。

WO 2004/013927 A1

WO 2004/013927 A1



2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

高周波回路

5

技術分野

本発明は、高周波伝送経路とグランドとの間に能動素子を含むシャント経路を有する高周波回路に関し、特にASK変調器やSPSTスイッチとして用いて好適な高周波回路に関する。

10

背景技術

ASK(アンプリチュードシフトキーイング;振幅偏移変調)変調器などの主な高周波回路では、高周波伝送経路と当該高周波伝送経路からグランド(GND)に対する経路、即ちシャント(shunt)経路とにFET(電荷効果トランジスタ)等の能動素子をそれぞれ配置し、これら経路の各能動素子を互い

15 違いに開閉することでスイッチング動作を行っている。

図12に、従来の高周波回路の基本的な構成例を示す。同図において、高周波伝送経路101側にはFETQ101が配置

20 されている。シャント経路102側においては、キャパシタC101、FETQ102およびキャパシタC102が高周波伝送経路101とグランドとの間に直列に接続されている。FETQ101、Q102は、各ゲートに互いに逆相の制御信号A、AXがそれぞれ印加されることにより、交互にON(閉)/OFF(開)動作を行う。

25

ところで、ASK変調はRF(高周波)信号の振幅の大小で

変調する方式であり、S P S T (シングルポールシングルスロウ; 単極単投) スイッチと同じ構成にて機能を果たすことができる。

しかしながら、伝送する周波数が数 G H z 以上、特に E T C
5 (エレクトロニックトールコレクションズ; 自動料金収受) システムやワイヤレスホームネットワーク等で用いられる 5 ~ 6 G H z になると、F E T の O F F 容量に起因して O N 時の経路ロスが大きくなったり、O F F 時のアイソレーションが不十分になるという問題が生じている。ここで、F E T の O F F 容量
10 とは、F E T が O F F 状態になった際のドレイン・ソース間に現れる容量成分のことを言う。

この F E T の O F F 容量を C o f f とすると、F E T のインピーダンス Z は、

$$Z = 1 / j \omega C o f f, \quad \omega = 2 \pi f \quad \dots \dots$$

15 (1) となる。(1) 式から明らかなように、周波数 f に反比例して抵抗成分 | Z | が小さくなることがわかる。

図 1 3 に、高周波伝送経路 1 0 1 が O N (Q 1 0 1 が O N)、シャント経路 1 0 2 が O F F (Q 1 0 2 が O F F) になったときの等価回路を示す。ここで、O F F 容量 C o f f が D C カット
20 ト用のキャパシタ C 1 0 1, C 1 0 2 の容量に比べて十分小さく、F E T Q 1 0 1 の O N 抵抗 R o n が数 Ω 程度なので、図 1 3 の回路特性は、O F F 容量 C o f f による電力リークで支配的に決定される。逆に、高周波伝送経路が O F F、シャント経路 1 0 2 が O N のときは、高周波伝送経路 1 0 1 の F E T Q 1
25 0 1 が O F F 容量 C o f f を持ち、電力をリークする。

このように、F E T の開閉のみで R F 信号を遮断しようとする

ると、特に透過特性において高周波帯では本質的に困難になってくることがわかる。すなわち、高周波領域においては、ON時の経路ロスが大きくなり、またOFF時に十分なアイソレーションを確保できなくなる。能動素子として、FETではなく、
5 PIN(ポジティブイントリンシックネガティブ)ダイオードを用いた回路構成の場合にも同様の問題が発生する。

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、高周波領域においても経路ロスを低減し、十分なアイソレーションを確保することが可能な高周波回路を
10 提供することにある。

発明の開示

本発明による高周波回路は、高周波伝送経路とグラウンドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、これら複数のシャント回路が、各々の能動素子のON時に前記インピーダンス素子による並列共振回路を、OFF時に前記インピーダンス素子による直列共振回路をそれぞれ形成する構成となっている。

上記構成の高周波回路において、各々の能動素子がONのとき、これら能動素子は等価的にON抵抗とみなされ、当該ON抵抗が十分小さいため、ショートとみなすことができる。したがって、複数のシャント回路は、能動素子がON状態にあるときに、等価的にインピーダンス素子による並列共振回路を形成する。この並列共振回路では、共振周波数を使用周波数に合わせることで、シャント回路方向(以下、シャント方向と記す)を
20 高抵抗化し、高調波伝送経路方向(以下、スルー方向と記す)

に対して低ロスな透過特性が得られる。一方、各々の能動素子がOFFのとき、能動素子のOFF容量が十分小さいものとする、複数のシャント回路は等価的にインピーダンス素子による直列共振回路を形成する。この直列共振回路では、共振周波数を使用周波数に合わせることで、シャント方向を低抵抗化し、スルー方向の透過電力を低下させることができる。

図面の簡単な説明

図1は、本発明の一実施形態に係る高周波回路の構成例を示す回路図である。

図2は、能動素子がON時に当該能動素子をON抵抗で表した回路図である。

図3は、能動素子がON時に形成される並列共振回路を示す等価回路図である。

図4は、能動素子がOFF時に当該能動素子をOFF抵抗で表した回路図である。

図5は、能動素子がOFF時に形成される直列共振回路を示す等価回路図である。

図6は、本発明の一実施形態の具体例に係る高周波回路を示す回路図である。

図7は、具体例に係る高周波回路のシミュレーション結果を示す図である。

図8は、シミュレーション結果の比較として、従来例に係る高周波回路を高周波用に修正した回路図である。

図9は、従来例に係る高周波回路のシミュレーション結果を示す図である。

図 1 0 は、本発明の一実施形態の変形例に係る高周波回路の構成例を示す回路図である。

図 1 1 は、本発明の適用例に係る多ポートスイッチの回路例を示す回路図である。

- 5 図 1 2 は、従来例に係る高周波回路の構成例を示す回路図である。

図 1 3 は、従来例に係る高周波回路の ON 時の等価回路図である。

10 発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。図 1 は、本発明の一実施形態に係る高周波回路の構成例を示す回路図である。

- 図 1 から明らかなように、本実施形態に係る高周波回路は、
15 能動素子およびインピーダンス素子を持つ複数、例えば 2 つのシャント回路 1 1、1 2 からなり、これらシャント回路 1 1、1 2 が同一基板上に作成された構成となっている。一方のシャント回路 1 1 は、高周波伝送経路 1 3 とグラウンドとの間に直列に接続された能動素子 1 4 およびインダクタ L 1 を有する構成
20 となっている。他方のシャント回路 1 2 は、高周波伝送経路 1 3 とのグラウンドとの間に直列に接続されたキャパシタ C およびインダクタ L 2 と、インダクタ L 2 に対して並列に接続された能動素子 1 5 とを有する構成となっている。

- この高周波回路において、能動素子 1 4、1 5 は、共通の制御
25 信号 A によって ON/OFF 制御される。これにより、制御信号 A の伝送は 1 本の制御線で済むため、回路構成の簡略化を

図ることができる。能動素子 14, 15 の ON/OFF でシャント回路 11, 12 のインピーダンスを変更することにより、回路全体の ON/OFF 状態の切り替えが行われる。能動素子 14, 15 としては、FET や PIN ダイオード等を用いることができる。

以下に、具体的な回路動作について説明する。

図 2 に示すように、能動素子 14, 15 が ON (低抵抗 = R_{on} 状態) のとき本高周波回路は ON 状態となる。このとき、能動素子 14, 15 は等価的に ON 抵抗 R_{on} とみなされる。

10 この ON 抵抗 R_{on} は十分小さく、ショートとみなすることができる。したがって、ON 状態にあるときの本高周波回路は、図 3 に示すように、等価的にインダクタ L_1 とキャパシタ C の並列共振回路となる。

ここで、並列共振回路のインピーダンス Z_{on} は、

$$15 \quad Z_{on} = 1 / Y_{on}, \quad Y_{on} = 1 / j\omega L_1 + j\omega C$$

$$\therefore Z_{on} = j\omega L_1 / (1 - \omega^2 L_1 C) \quad \dots$$

(2) となる。したがって、インダクタ L_1 およびキャパシタ C の各値を、使用周波数で共振点 ($Z_{on} = \text{無限大}$) となるように、即ち

$$20 \quad \omega^2 = 1 / L_1 C \quad \dots \dots$$

$$(3)$$

を満足するような素子定数を選択することにより、シャント方向を高抵抗化し、スルー方向 (高周波伝送経路) の透過効率を向上させることができる。

25 このように、本実施形態に係る高周波回路では、共振周波数を使用周波数に合わせることで、シャント方向を高抵抗化し、

スルー方向に対して低ロスな透過特性を実現することができる。

一方、図 4 に示すように、能動素子 14, 15 が OFF (高抵抗 = Coff 状態) のとき本高周波回路は OFF 状態になる。

5 ここで、インダクタ L1 を含むシャント回路 11 のインピーダンス Z1 は、

$$Z1 = j\omega L1 + 1 / j\omega Coff \quad \dots\dots (4)$$

となり、OFF 容量 Coff が十分に小さいとき、インピーダンス Z1 が無限大となるので、このシャント回路 11 は無視できる。

また、インダクタ L2 と OFF 容量 Coff で構成される並列回路のアドミッタンス Y2 ($Y = 1 / Z$) とすると、

Y2 = $1 / j\omega L2 + j\omega Coff$ となる。また、この並列回路を含むシャント回路 12 のインピーダンス Z2 は、

$$\begin{aligned} 15 \quad Z2 &= 1 / j\omega C + 1 / Y2 \\ &= 1 / j\omega C + j\omega L2 / (1 - \omega^2 L2 Coff) \end{aligned} \quad \dots\dots (5)$$

であり、OFF 容量 Coff が十分に小さいとき、アドミッタンス Y2 としてはインダクタ L2 の成分のみとなり、回路としては等価的に、図 5 に示すように、インダクタ L2 とキャパシタ C の直列共振回路となる。

この直列共振回路の共振周波数は、(5) 式において、Z2 = 0 とすると、

$$\omega^2 = 1 / L2 C \quad \dots\dots (6)$$

25 であり、これを使用周波数に合わせることで、シャント方向を低抵抗化し、スルー方向の透過電力を低下させることがで

き、本高周波回路のOFF状態を実現できる。

しかしながら、周波数が数GHz以上と高くなると、OFF容量Coffの影響(正確には ωC_{off} 積)が無視できないので、理想的なインダクタL2とキャパシタCの直列共振とは
5 ならない。したがって、回路全体のインピーダンスZoffについては、

$$Z_{off} = 1 / Y_{off}, Y_{off} = 1 / Z_1 + 1 / Z_2 \dots \dots (7)$$

を解いて共振点を求めることになる。

10 (3)式を(5)式に用いると、

$$Z_{off} = j \omega L_1 (C - C_{off}) \cdot (L_1 - L_2 - L_2 C_{off} / C) / (2 L_2 C_{off} - L_1 C) \dots (8)$$

と変形できるので、 $Z_{off} = 0$ となるためには、

$$15 \quad L_1 / L_2 - 1 = C_{off} / C \dots \dots (9)$$

を満足するような素子定数を用いることとなる。

上述したように、高周波伝送経路13とグランドとの間にシャント回路を有する高周波回路において、能動素子14, 15およびインピーダンス素子(L1, L2, C)を含む複数、例
20 えば2つのシャント回路11, 12を有し、これらシャント回路11, 12が、各々の能動素子14, 15のON時にインピーダンス素子(L1, C)による並列共振回路を、OFF時にインピーダンス素子(C, L2)による直列共振回路をそれぞれ形成するようにしたことで、ON時には使用する周波数にお
25 いて低ロスな透過特性を得ることができ、またOFF時にはシャント方向を低抵抗化し、スルー方向の透過電力を低下させる

ことができる。

(具体例)

図 6 は、本実施形態の具体的な回路例を示す回路図であり、
図中、図 1 と同等部分には同一符号を付して示している。本具
5 体例では、能動素子 1 4, 1 5 として、高周波の処理に用いて
最適な例えば G a A s (ガリウム・ヒ素) 系材料からなる F E
T を用いている。

図 6 において、一方のシャント回路 1 1' は、高周波伝送経
路 1 3 とのグランドとの間に、キャパシタ C 1、F E T Q 1、
10 キャパシタ C 2 およびインダクタ L 1 が直列に接続された構
成となっている。他方のシャント回路 1 2' は、高周波伝送経
路 1 3 とのグランドとの間に、キャパシタ C およびインダクタ
L 2 が直列に接続されるとともに、キャパシタ C 3、F E T Q
2、キャパシタ C 4 およびインダクタ L 3 の直列接続回路がイ
15 ンダクタ L 2 に対して並列に接続された構成となっている。

上記具体例に係る高周波回路では、F E T Q 1, Q 2 にバイ
アスを印加するため D C カット用にキャパシタ C 1, C 2, C
3, C 4 を挿入し、また I C 化した際のボンディング・ワイヤ
のインダクタンスを考慮してインダクタ L 3 を追加した構成
20 となっている。この具体例に係る高周波回路において、一例と
して、使用周波数を 5 G H z とし、各素子定数として $C = 0.95 \text{ pF}$ 、 $C 1, C 2 = 6 \text{ pF}$ 、 $C 3, C 4 = 10 \text{ pF}$ 、 $C o f f = 0.4 \text{ pF}$ 、 $L 1 = 1.1 \text{ nF}$ 、 $L 2 = 0.7 \text{ nF}$ 、 $L 3 = 0.4 \text{ nF}$ を用いた場合のシミュレーション結果を図 7 に
25 示す。

図 7 のシミュレーション結果から明らかなように、本具体例

に係る高周波回路においては、ON時にはロスが約0.5 dB程度であり、OFF時には20 dBのアイソレーションが確保されていることがわかる。

比較として、従来例に係る図8に示す回路を用いた場合のシミュレーション結果を図9に示す。図8に示す回路は、図12に示す従来回路を高周波用に修正した回路である。ここでは、各回路定数として C_{101} 、 $C_{102} = 3 \text{ pF}$ 、 $L_{104} = 0.7 \text{ nF}$ 、 $C_{off} = 0.4 \text{ pF}$ を用いている。図9のシミュレーション結果から明らかなように、OFF時のアイソレーションは21 dBあるが、ON時のロスが約2 dBと大きな値となっている。

この比較結果から明らかなように、本具体例に係る高周波回路は、従来例に係る高周波回路に比べて、OFF時のアイソレーションについては同程度であるものの、ON時のロスについては高周波領域において約1.5 dB程度低減できていることがわかる。

また、図1に示す回路例において、インダクタ L_1 、 L_2 の全部または一部をボンディング・ワイヤのインダクタンス成分で代用することにより、IC上の素子面積を低減することができる。一例として、ワイヤ1本のインダクタンス成分は0.7 nF、2本並列にワイヤを打った場合で0.4 nFなので、図6に示す回路例では、インダクタ L_2 、 L_3 についてはワイヤのインダクタンス成分で代用し、インダクタ L_1 として0.4 nF分のインダクタをICに内蔵させるだけで済むため、IC上の素子面積を低減できる。

(変形例)

なお、上記実施形態では、インダクタ L_1 、 L_2 をそれぞれ含む 2 本のシャント回路 1_1 、 1_2 を持つ場合を例に挙げて説明したが、これに限られるものではなく、図 10 に示すように、キャパシタ C_1 、 C_2 をそれぞれ含む 2 本のシャント経路を同時に切り替えるようにしても同様の効果を得ることができ、また 3 本以上のシャント経路を持つ回路構成とすることも可能である。

(適用例)

以上説明した本実施形態あるいはその変形例に係る高周波回路は、ASK 変調器や SPST スイッチ等として用いることができる。また、本実施形態あるいはその変形例に係る高周波回路を複数配置することで、SPST スイッチ等の多ポートスイッチに応用することも可能である。この多ポートスイッチの具体的な回路例を図 11 に示す。

図 11 において、高周波伝送経路 1_3 は、分岐点 B で 2 系統 A、B に分岐されている。この 2 系統の高周波伝送経路 1_3A 、 1_3B には、 $\lambda/4$ だけ位相をずらすためのストリップライン等の位相変換装置 2_1 、 2_2 が挿入されている。この位相変換装置 2_1 、 2_2 は、片側のポートがショートした際に RF の分岐点 B の振幅が低下しないようにするために挿入されたものである。

2 系統の高周波伝送経路 1_3A 、 1_3B とグランドとの間には、図 1 に示すシャント回路 1_1 、 1_2 が、A 系統のシャント回路 1_1A 、 1_2A および B 系統のシャント回路 1_1B 、 1_2B として配置されている。ただし、A 系統のシャント回路 1_1A 、 1_2A の能動スイッチ 1_4A 、 1_5A が制御信号 A によっ

てON/OFF制御されるのに対して、B系統のシャント回路11B, 12Bの能動スイッチ14B, 15Bが制御信号Aと逆相の制御信号AXによってON/OFF制御される。

5 なお、本適用例では、SPSTスイッチ等の多ポートスイッチに適用した場合を例に挙げて説明したが、この適用例に限られるものではなく、ASK変調器などにも同様に適用可能である。

産業上の利用可能性

10 以上説明したように、本発明によれば、高周波伝送経路とグラウンドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、これら複数のシャント回路が、各々の能動素子のON時にインピーダンス素子による並列共振回路を、OFF時にインピーダンス素子による直列共振回路をそ
15 れぞれ形成するようにしたことで、高周波領域においても経路ロスを低減し、十分なアイソレーションを確保することができる。

請 求 の 範 囲

1. 高周波伝送経路とグランドとの間に、能動素子およびインピーダンス素子を含む複数のシャント経路を有し、
- 5 前記複数のシャント回路が、各々の前記能動素子のON時に前記インピーダンス素子による並列共振回路を、OFF時に前記インピーダンス素子による直列共振回路をそれぞれ形成することを特徴とする高周波回路。
2. 前記能動素子が電界効果トランジスタであることを特徴
- 10 とする請求項1記載の高周波回路。
3. 前記電界効果トランジスタがガリウム・ヒ素系材料からなることを特徴とする請求項2記載の高周波回路。
4. 前記複数のシャント経路が同一基板上に作成されていることを特徴とする請求項1記載の高周波回路。
- 15 5. 前記複数のシャント経路を形成するインダクタが、IC化の際のボンディング・ワイヤのインダクタンス成分で代用されていることを特徴とする請求項1記載の高周波回路。

1/7

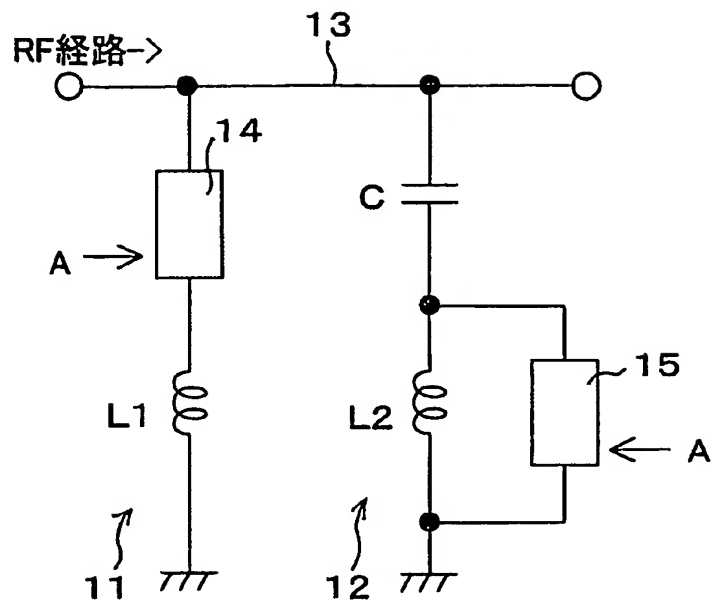


Fig.1

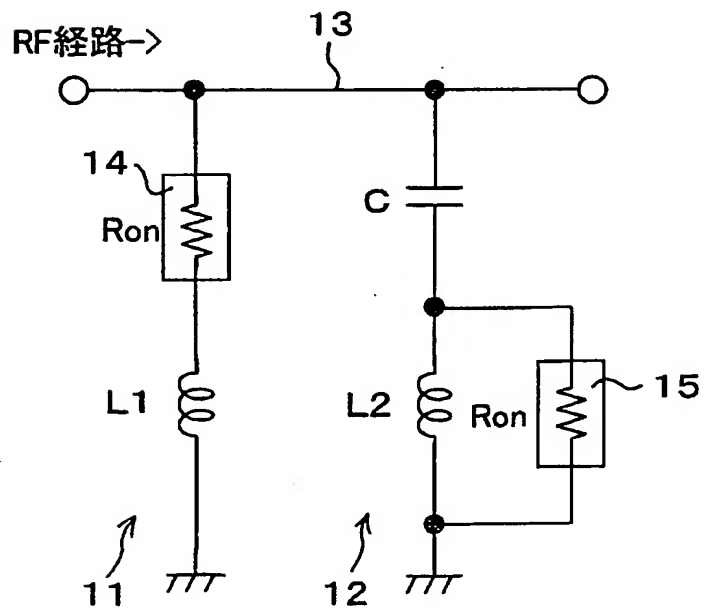


Fig.2

2/7

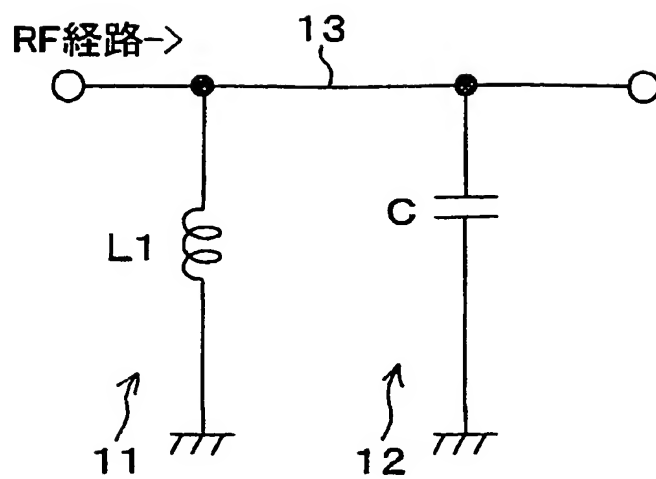


Fig.3

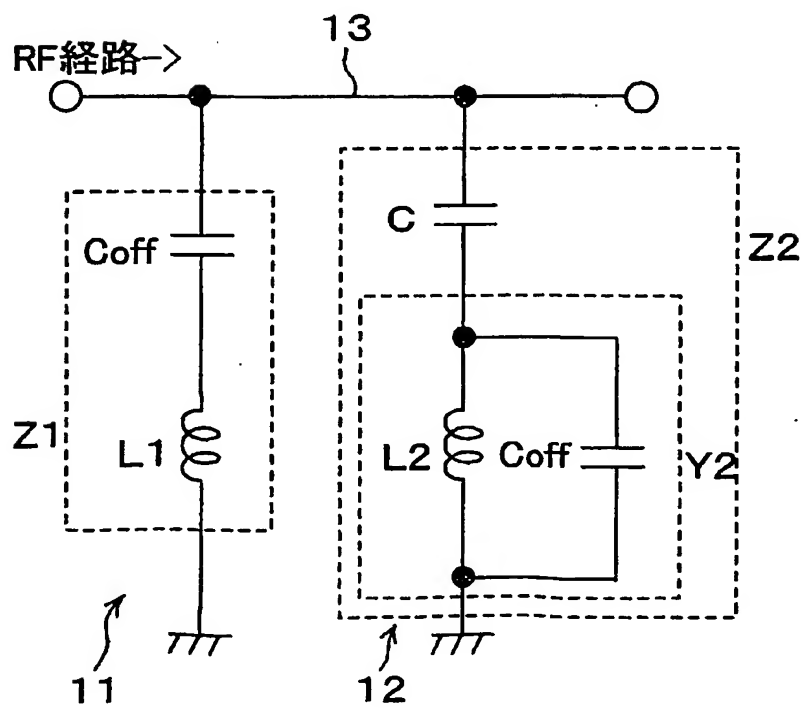


Fig.4

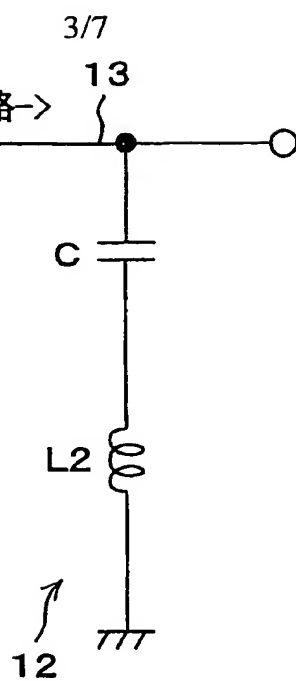


Fig.5

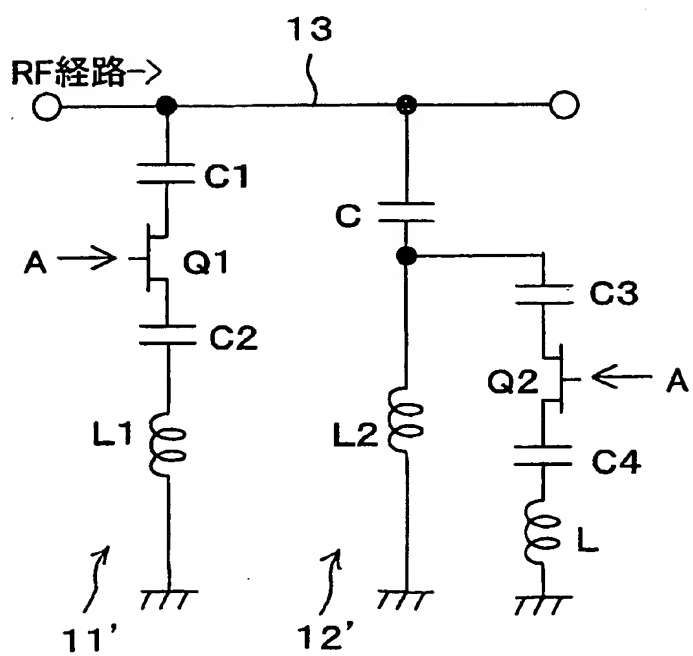


Fig.6

4/7

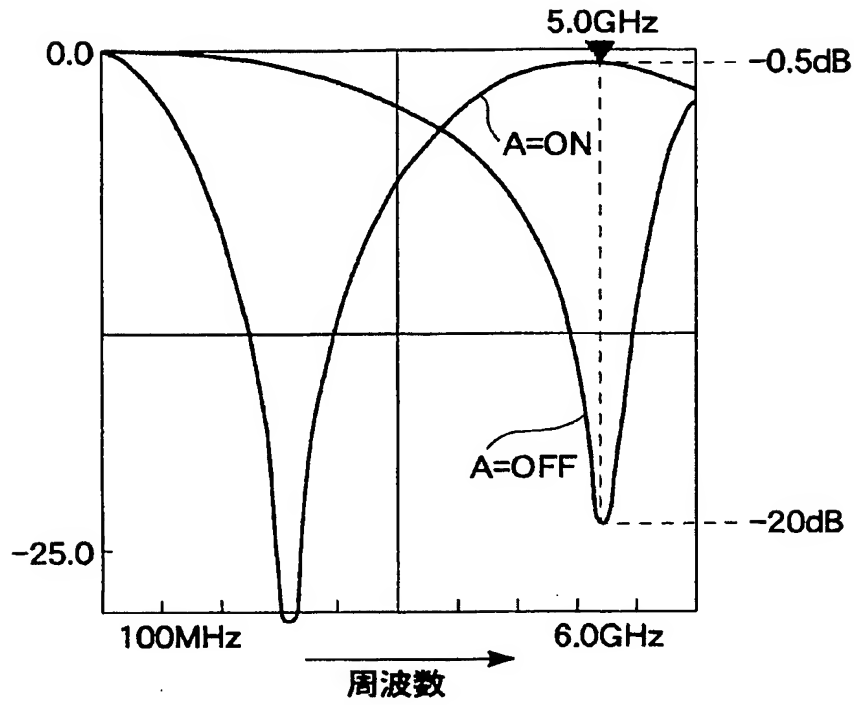


Fig.7

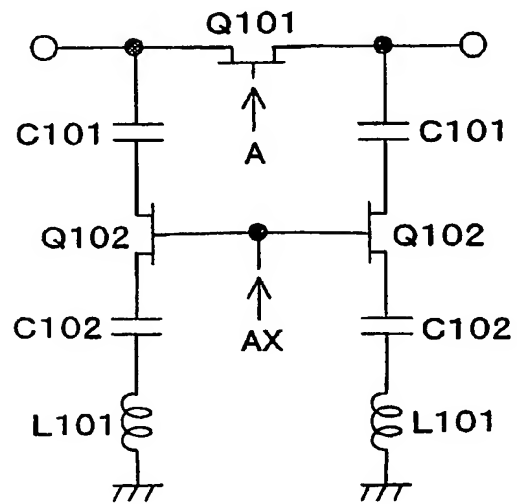


Fig.8

5/7

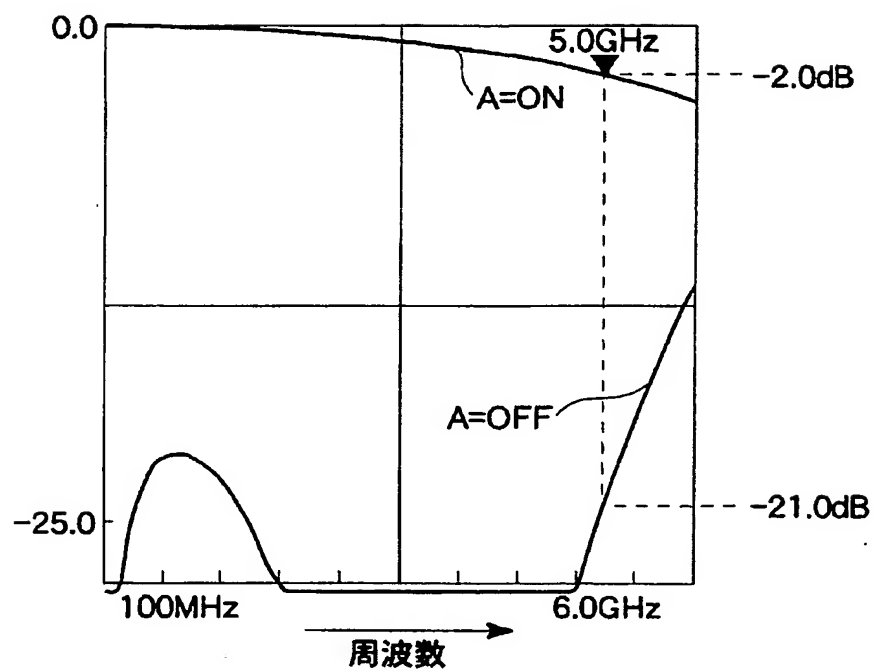


Fig.9

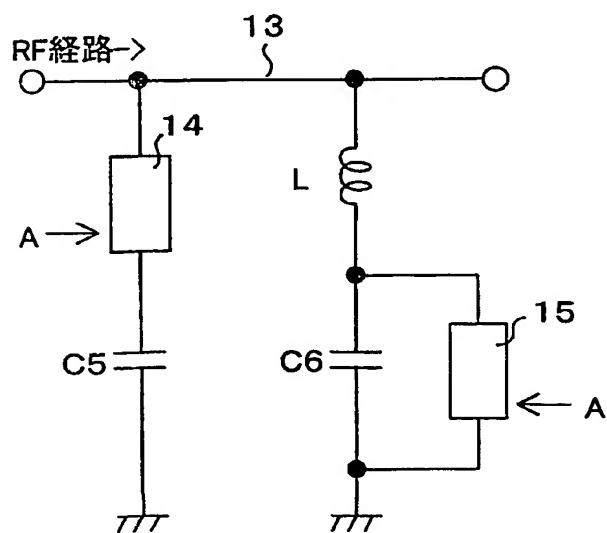


Fig.10

6/7

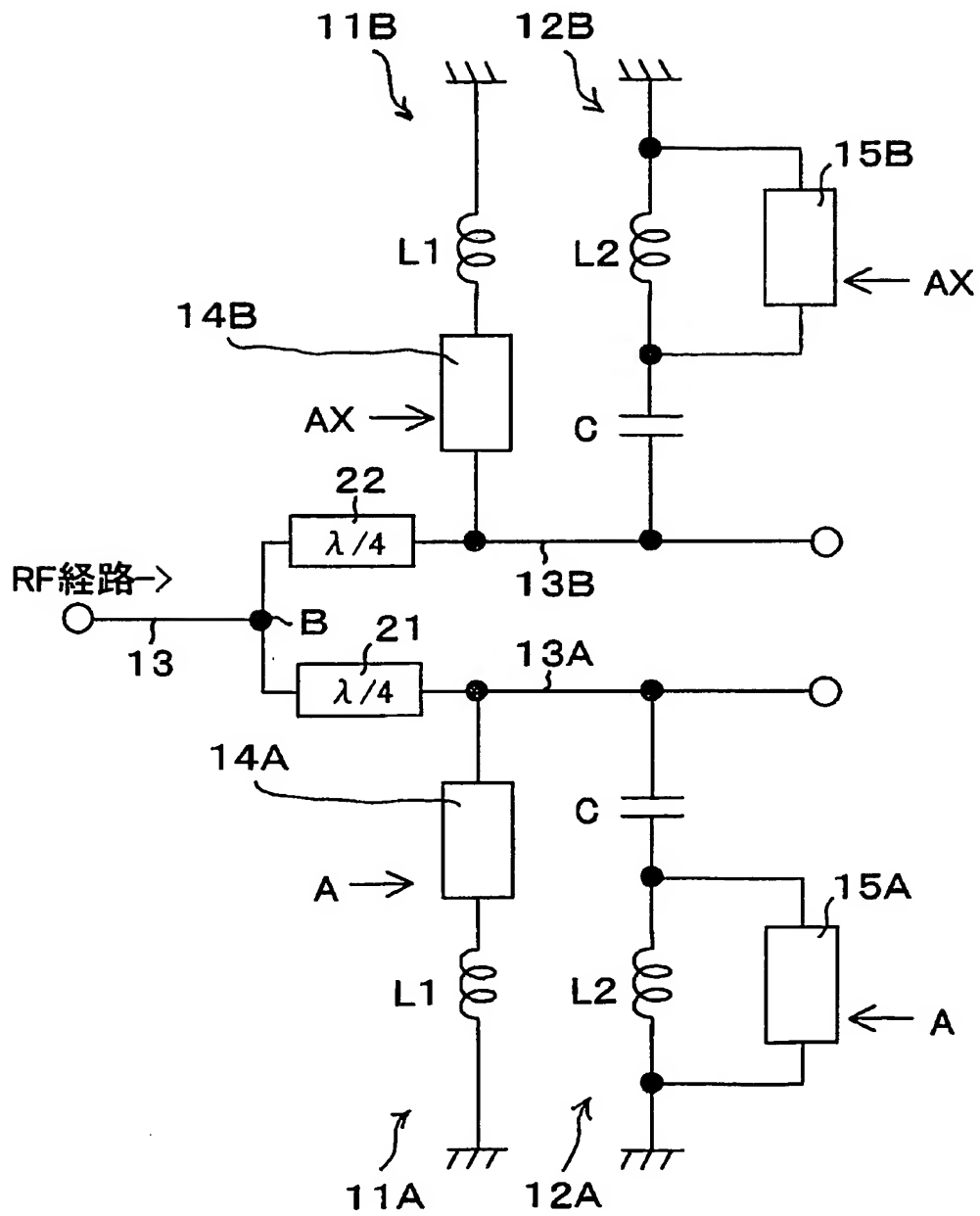


Fig.11

7/7

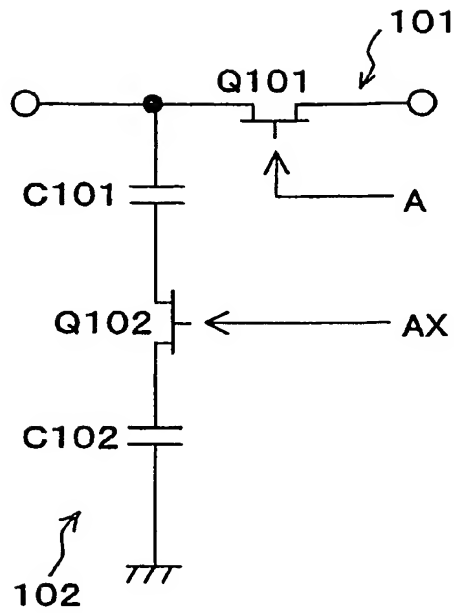


Fig.12

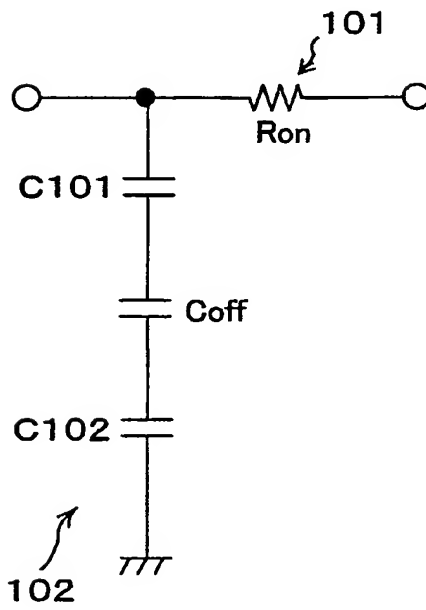


Fig.13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10008

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01P1/15, H03K17/687

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01P1/15, H03K17/687-17/693, H04B1/48, H03H7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-299995 A (Nippon Telegraph And Telephone Corp.), 12 November, 1993 (12.11.93), Par. Nos. [0025] to [0031]; Fig. 1 Par. Nos. [0025] to [0031]; Fig. 1 (Family: none)	1, 4 2, 3, 5
Y	JP 10-215162 A (Sony Corp.), 11 August, 1998 (11.08.98), Par. No. [0002] & US 5917362 A1	2, 3
Y	JP 2000-252810 A (NEC Kansai, Ltd.), 14 September, 2000 (14.09.00), Par. Nos. [0009] to [0010] (Family: none)	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
03 October, 2003 (03.10.03)

Date of mailing of the international search report
14 October, 2003 (14.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10008

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-114950 A (Murata Mfg. Co., Ltd.), 21 April, 2000 (21.04.00), Full text; all drawings & EP 993120 A2 & US 6281762 B1	1
A	JP 10-336000 A (NEC Engineering Kabushiki Kaisha), 18 December, 1998 (18.12.98), Full text; all drawings (Family: none)	1
A	JP 2000-13104 A (Toyota Central Research And Development Laboratories, Inc.), 14 January, 2000 (14.01.00), Full text; all drawings (Family: none)	1

国際調査報告		国際出願番号 PCT/JPO3/10008	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl ⁷ H01P1/15, H03K17/687			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl ⁷ H01P1/15, H03K17/687-17/693, H04B1/48, H03H7/12			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2003年 日本国登録実用新案公報 1994-2003年 日本国実用新案登録公報 1996-2003年			
国際調査で利用した電子データベース (データベースの名称、調査に利用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 5-299995 A (日本電信電話株式会社) 199 3.11.12 段落番号【0025】-【0031】、【図1】	1, 4	
Y	段落番号【0025】-【0031】、【図1】 (ファミリーなし)	2, 3, 5	
Y	JP 10-215162 A (ソニー株式会社) 1998.0 8.11, 段落番号【0002】 & US 5917362 A1	2, 3	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリ 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に関する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 03.10.03		国際調査報告の発送日 14.10.03	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 新川 圭二 電話番号 03-3581-1101 内線 6711	

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-252810 A (関西日本電気株式会社) 2 000.09.14, 段落番号【0009】-【0010】 (ファミリーなし)	5
A	JP 2000-114950 A (株式会社村田製作所) 2 000.04.21, 全文, 全図 & EP 993120 A2 & US 6281762 B 1	1
A	JP 10-336000 A (日本電気エンジニアリング株式 会社) 1998.12.18, 全文, 全図 (ファミリーなし)	1
A	JP 2000-13104 A (株式会社豊田中央研究所) 2000.01.14, 全文, 全図 (ファミリーなし)	1